

informatique **esil**

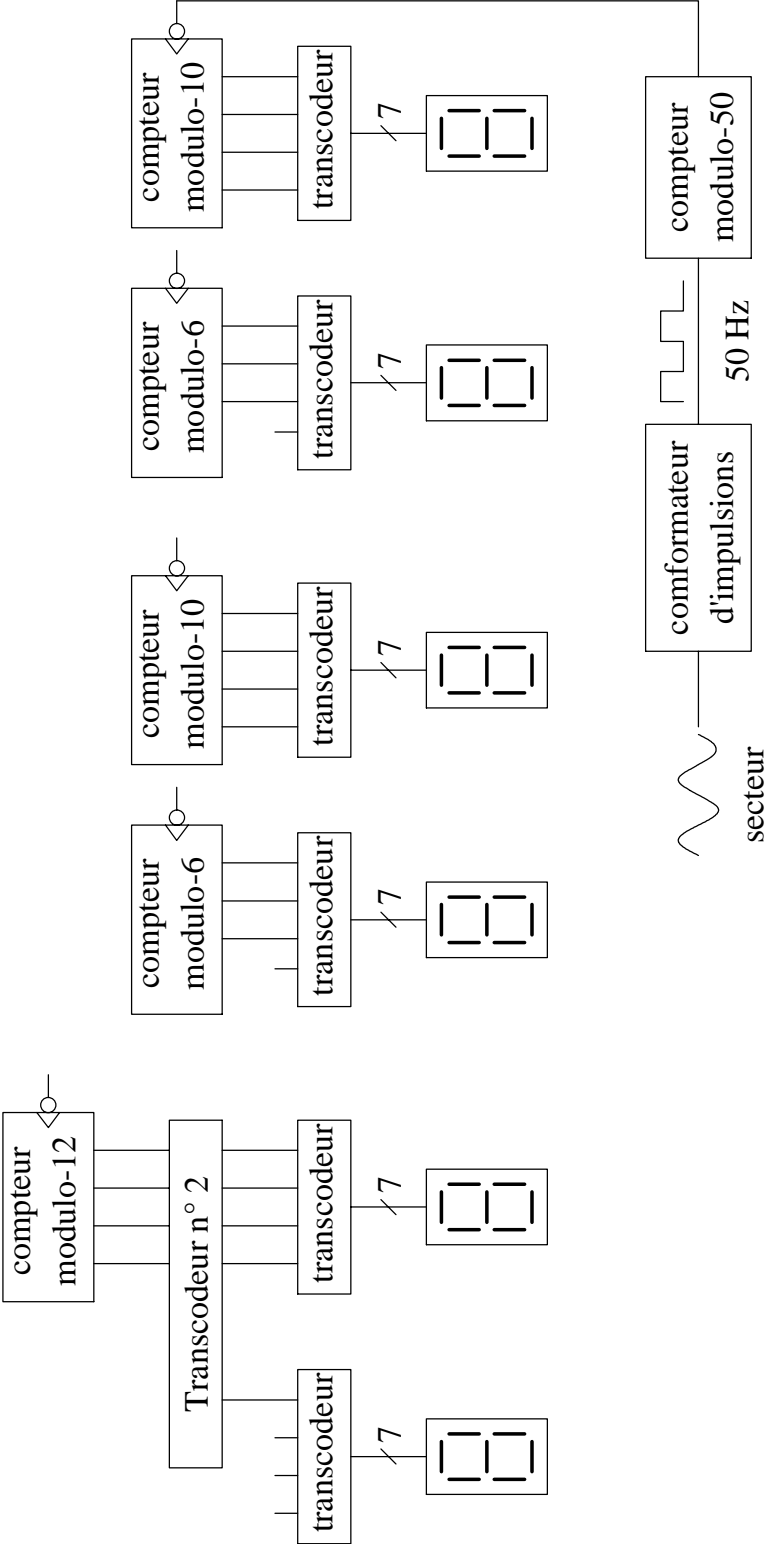
Architecture des Ordinateurs

Département informatique 1^{ère} année

Contrôle du 1^{er} septembre 2004

Documents autorisés : support de cours ESIL et notes manuscrites.

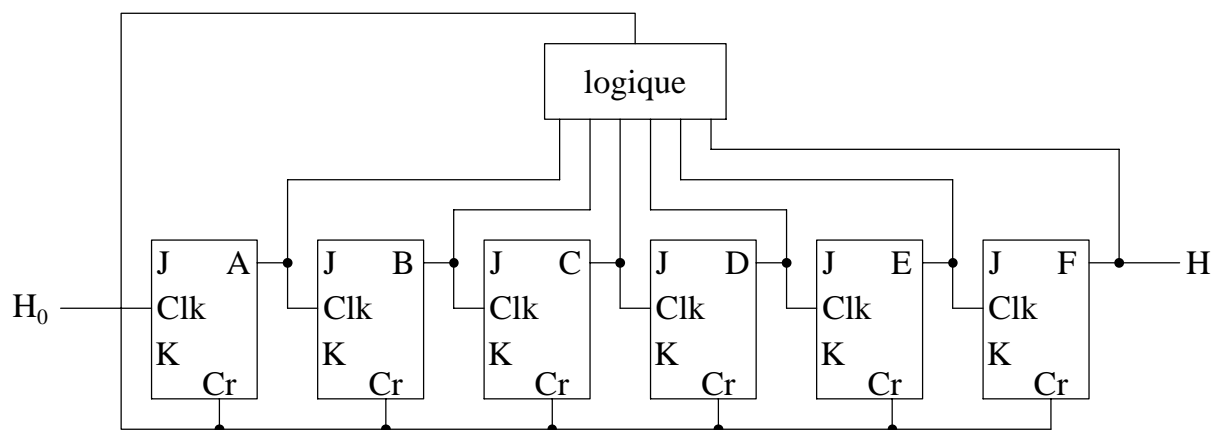
Réalisation d'une horloge numérique



Nous nous intéressons à la réalisation d'une horloge numérique utilisant la fréquence du secteur comme base de temps. Le schéma de principe (qui sera à compléter durant la résolution du problème) est présenté sur la page précédente. Le signal sinusoïdal du secteur est transformé en un train d'impulsions de même fréquence (50 Hz) par un conformateur que nous n'étudions pas ici. Nous nous limitons également à l'étude des parties sexagésimales prenant en charge les minutes et les secondes.

I. Etude du compteur modulo-50

La figure suivante donne le schéma de principe du compteur modulo-50. Il est basé sur six bascules J-K du type maître-esclave. Les entrées synchrones non connectées sur ce schéma sont supposées dans l'état logique 1.



- I.1 Etant donné le chaînage des bascules de quel type de compteur s'agit-il ?
- I.2 Pourquoi ce compteur nécessite-t-il six bascules ?
- I.3 Le circuit logique est conçu pour une remise à zéro du compteur lorsque celui-ci atteint la valeur 50. Donner la fonction logique la plus simple que doit réaliser ce circuit.
- I.4 Montrer que la fréquence du signal H est 1 Hz.

II. Synthèse d'un compteur binaire synchrone modulo-6

Pour ce compteur nous utilisons encore des bascules J-K de type maître-esclave fonctionnant comme des bascules T (c'est-à-dire avec les entrées synchrones identiques $J = K$).

- II.1 Combien de bascules sont nécessaires pour la réalisation d'un tel compteur.
- II.2 Chaque bascule est identifiée par une lettre dans l'ordre alphabétique (A, B, etc.), la lettre A correspondant au bit de poids faible. Ecrire la table des transitions du compteur synchrone à synthétiser.
- II.3 Donner l'expression logique la plus simple des entrées synchrones de chaque bascule.

III. Synthèse d'un compteur binaire synchrone modulo-10 (dit compteur DCB)

Pour ce compteur nous utilisons encore des bascules J-K de type maître-esclave fonctionnant comme des bascules T (c'est-à-dire avec les entrées synchrones identiques $J = K$).

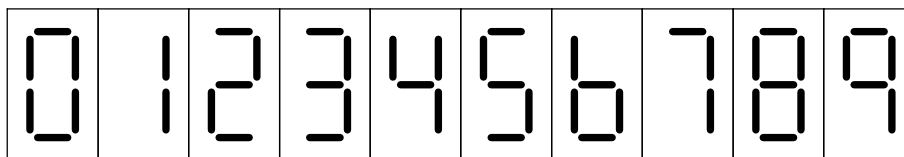
III.1 Combien de bascules sont nécessaires pour la réalisation de ce compteur.

III.2 Chaque bascule est identifiée par une lettre dans l'ordre alphabétique (A, B, etc.), la lettre A correspondant au bit de poids faible. Ecrire la table des transitions du compteur synchrone à synthétiser.

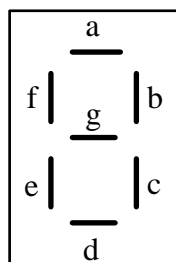
III.3 Donner l'expression logique la plus simple des entrées synchrones de chaque bascule.

IV. Synthèse du transcodeur

Comme nous n'avons que des chiffres à afficher nous cherchons à réaliser un transcodeur minimal permettant d'afficher uniquement les dix combinaisons du code DCB sur un afficheur à sept segments.



Les segments sont repérés de la manière suivante :



Par convention un segment est allumé s'il est dans l'état 0 et éteint s'il est dans l'état 1.

IV.1 Les quatre bits portant le code DCB sont notés A, B, C et D, A correspondant au bit le moins significatif. Ecrire la table de vérité du transcodeur, sans oublier les combinaisons impossibles en entrée.

IV.2 Donner les expressions logiques les plus simples des sept fonctions a, b, c, d, e, f et g.

V. Finalisation du schéma de l'horloge

- V.1 Pour chaque compteur connecter l'entrée déclenchant son fonctionnement au signal correct. Justifier.
- V.2 Certaines entrées de transcodeurs ne sont pas connectées sur le schéma. Que doit-on en faire ?

I.1 Il s'agit d'un compteur asynchrone.

I.2 Comme 50 est compris entre $32 = 2^5$ et $64 = 2^6$, il faut 6 bascules pour réaliser un compteur modulo 50 (5 seraient insuffisantes).

I.3 L'entrée asynchrone Cr doit être égale à 1 lorsque le compteur doit s'incrémenter et à 0 pour une RAZ du compteur. Nous devons donc avoir :

Cr = 1 pour $0 \leq \text{compteur} \leq 49$

Cr = 0 pour compteur = 50

Cr = X pour compteur > 50 (car ne peut pas se produire)

Nous savons que la seule fonction logique qui s'annule uniquement pour la combinaison correspondant à la valeur 50 (110010_2) du compteur est la somme suivante :

$$Cr = A + \bar{B} + C + D + \bar{E} + \bar{F} = \overline{BEF} + A + C + D$$

La combinaison $B = E = F = 1$ ne se trouve que pour des valeurs du compteur supérieures ou égales à 50. Le terme \overline{BEF} garantit donc $Cr = 1$ pour toutes les valeurs inférieures à 50. D'autre part il est nul pour la valeur 50. Nous pouvons donc nous contenter de ce terme, qui remplit nos critères, pour construire la fonction Cr. La solution minimale est donc :

$$Cr = \overline{BEF}$$

I.4 Le signal de sortie H est égal à :

0 pour les valeurs du compteur comprises entre 0 et 31, soient 32 tops de H_0 ;

1 pour les valeurs du compteur comprises entre 32 et 49, soient 18 tops de H_0 .

La périodicité du signal H correspond donc de 50 impulsions du signal H_0 . Celui-ci ayant une fréquence de 50 Hz, le signal H a une fréquence de 1 Hz : un front descendant toutes les secondes. Le compteur le plus à droite du schéma correspond donc aux secondes.

II.1 Il faut 3 bascules : $2^2 < 6 < 2^3$.

II.2 Table des transitions d'un compteur binaire synchrone modulo-6 :

#	C	B	A	$J_C = K_C$	$J_B = K_B$	$J_A = K_A$
0	0	0	0			1
1	0	0	1		1	1
2	0	1	0			1
3	0	1	1	1	1	1
4	1	0	0			1
5	1	0	1	1		1
6	0	0	0			1

Pour chaque entrée synchrone nous n'avons indiqué que les valeurs 1 déclenchant un changement d'état de la bascule associée.

II.3 Nous utilisons des tableaux de Karnaugh pour simplifier les expressions logiques en tenant compte des configurations impossibles du compteur. Nous avons de manière triviale :

$$J_A = K_A = 1$$

et :

BA	C	00	01	11	10
0			1	1	
1			X	X	

BA	C	00	01	11	10
0				1	
1			1	X	X

$$J_B = K_B = A\bar{C}$$

$$J_C = K_C = AB + AC = A(B + C)$$

III.1 Il faut 4 bascules : $2^3 < 10 < 2^4$.

III.2 Table des transitions d'un compteur binaire synchrone modulo-10 :

#	D	C	B	A	$J_D = K_D$	$J_C = K_C$	$J_B = K_B$	$J_A = K_A$
0	0	0	0	0				1
1	0	0	0	1			1	1
2	0	0	1	0				1
3	0	0	1	1		1	1	1
4	0	1	0	0				1
5	0	1	0	1			1	1
6	0	1	1	0				1
7	0	1	1	1	1	1	1	1
8	1	0	0	0				1
9	1	0	0	1	1			1
10	0	0	0	0				1

Pour chaque entrée synchrone nous n'avons indiqué que les valeurs 1 déclenchant un changement d'état de la bascule associée.

III.3 Nous utilisons des tableaux de Karnaugh pour simplifier les expressions logiques en tenant compte des configurations impossibles du compteur. Nous avons de manière triviale :

$$J_A = K_A = 1$$

et :

BA \ DC	00	01	11	10
00		1	1	
01		1	1	
11	X	X	X	X
10			X	X

$$J_B = K_B = A\bar{D}$$

BA \ DC	00	01	11	10
00			1	
01			1	
11	X	X	X	X
10			X	X

$$J_C = K_C = AB$$

BA \ DC	00	01	11	10
00				
01			1	
11	X	X	X	X
10		1	X	X

$$J_D = K_D = AD + ABC$$

IV.1 Table de vérité du transcodeur :

D	C	B	A	g	f	e	d	c	b	a
0	0	0	0	1						
0	0	0	1	1	1	1	1			1
0	0	1	0		1			1		
0	0	1	1		1	1				
0	1	0	0			1	1			1
0	1	0	1			1			1	
0	1	1	0						1	1
0	1	1	1	1	1	1	1			
1	0	0	0							
1	0	0	1			1	1			
1	0	1	0	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X

IV.2 Expressions logiques :

BA \ DC	00	01	11	10
00		1		
01	1			1
11	X	X	X	X
10			X	X

$$a = \overline{A}C + A\overline{B}\overline{C}\overline{D}$$

BA \ DC	00	01	11	10
00				
01		1		1
11	X	X	X	X
10			X	X

$$b = A\overline{B}C + \overline{A}BC = (A \oplus B)C$$

BA \ DC	00	01	11	10
00				1
01				
11	X	X	X	X
10			X	X

$$c = \overline{A}B\overline{C}$$

BA \ DC	00	01	11	10
00		1		
01	1		1	
11	X	X	X	X
10		1	X	X

$$d = \overline{A}\overline{B}C + A\overline{B}\overline{C} + ABC = (\overline{A} \oplus B)C + A\overline{B}\overline{C}$$

BA \ DC	00	01	11	10
00		1	1	
01	1	1	1	
11	X	X	X	X
10		1	X	X

$$e = A + \overline{B}C$$

BA \ DC	00	01	11	10
00		1	1	1
01			1	
11	X	X	X	X
10			X	X

$$f = AB + B\overline{C} + A\overline{C}\overline{D}$$

BA \ DC	00	01	11	10
00	1	1		
01			1	
11	X	X	X	X
10			X	X

$$g = ABC + \overline{B}\overline{C}\overline{D}$$

- V.1 Comme chaque compteur est déclenché sur un front descendant nous pouvons utiliser la sortie correspondant au bit de poids fort du compteur de rang inférieur comme signal d'horloge.
- V.2 Lorsque les entrées de haut poids d'un transcodeur ne sont pas utilisées il faut les imposer dans l'état 0. Sur le schéma nous avons supposé une logique positive et avons connecté ces entrées à la masse.

