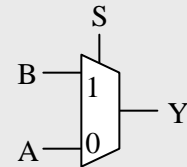


Pré-requis

Définitions et représentations des variables et fonctions logiques combinatoires
Minimisation des fonctions logiques par les Tables de KARNAUGH
Codage binaire naturel
Représentation des nombres signés
Réalisation matérielle des fonctions logiques combinatoires élémentaires par des composants électroniques SSI

Exercice n° 1

La fonction Multiplexeur 2 vers 1, dont le symbole logique est représenté Figure 1, correspond à la définition donnée Figure 2.



- Figure 1 -

1- Après avoir établi la Table de Vérité puis le tableau de KARNAUGH de cette fonction Multiplexeur, donner l'expression de la sortie Y en fonction des entrées A et B et du signal de sélection S,

- en effectuant une synthèse sur les 1, (expression sous la forme d'une somme de produits),
- en effectuant une synthèse sur les 0, (expression sous la forme d'un produit de sommes),
- vérifier l'égalité des 2 expressions.

2-Etablir le schéma logique du multiplexeur 2 vers 1 en utilisant successivement,

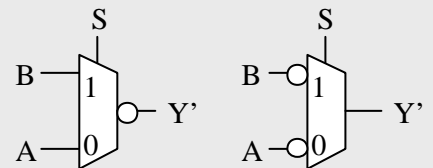
- des portes AND, OR et NOT,
- des portes NOR,
- des portes NAND.

3-Démontrez l'équivalence, *a priori* évidente, des 2 représentations du multiplexeur inverseur, voir Figure 3.

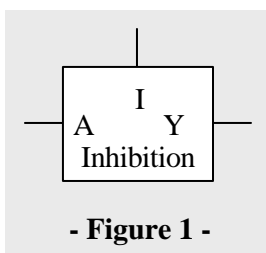
Définition

Si le signal de contrôle S vaut 0 alors le multiplexeur transmet le signal d'entrée A vers la sortie Y, sinon, le multiplexeur transmet le signal d'entrée B vers la sortie Y.

- Figure 2 -



- Figure 3 -



- Figure 1 -

Définition

Si le signal de contrôle I vaut 0 alors le signal de sortie est égal au signal d'entrée, sinon, le signal de sortie vaut 0, quelle que soit la valeur du signal d'entrée.

- Figure 2 -

Exercice n° 2

1- On considère Figure 1 le symbole de la fonction inhibition dont la définition est donnée Figure 2.

- Etablir l'expression de la sortie Y en fonction de l'entrée A et du signal de contrôle I.
- Le signal de contrôle I est-il actif niveau "bas" ou niveau "haut" ?

2-On considère maintenant la fonction transmission d'un signal d'entrée A vers un signal de sortie Y sous le contrôle d'un signal I correspondant également à la définition donnée Figure 2.

Représenter le symbole de cette fonction transmission.

Exercice n° 3

1- Etude logique de l'addition arithmétique

- 1-1- Compléter le Tableau 1 avec le résultat, codé par les bits Co et S, de l'addition arithmétique des 3 bits A, B et Ci.
- 1-2- Etablir les équations logiques complètes de S et de Co en fonction de A, B et Ci.
- 1-3- L'équation logique de S peut-elle être réduite ?
- 1-4- L'équation logique de Co peut-elle être réduite ?

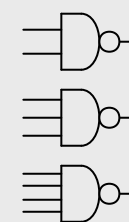
| Ci | B | A | Co | S |
|----|---|---|----|---|
| 0 | 0 | 0 | | |
| 0 | 0 | 1 | | |
| 0 | 1 | 0 | | |
| 0 | 1 | 1 | | |
| 1 | 0 | 0 | | |
| 1 | 0 | 1 | | |
| 1 | 1 | 0 | | |
| 1 | 1 | 1 | | |

- Tableau 1 -

2- Etude matérielle de l'additionneur

Pour réaliser l'addition de 3 bits on dispose de portes NAND à 2 entrées, 3 entrées et 4 entrées, voir Figure 1.

- 2-1- Transformer en conséquence les équations logiques, éventuellement réduites, de S et Co.
- 2-2- Etablir les schémas logiques correspondants.

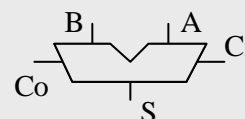


- Figure 1 -

3- Etude matérielle d'un additionneur parallèle

L'additionneur élaboré dans la partie 2 est représenté par le symbole représenté Figure 2.

- 3-1- Etablir le schéma logique d'un additionneur parallèle permettant d'effectuer l'addition de 2 nombres codés sur 4 bits.
- 3-2- Pour réaliser l'additionneur on utilise des portes 74LS00, 74LS10 et 74LS20. Après avoir recherché les paramètres nécessaires (catalogue, CDROM ou site web de Texas Instruments par exemple),
- établir le chronogramme de l'additionneur, en déduire la durée d'une addition,
 - estimer la consommation électrique.
- 3-3- Comparer les temps obtenus et la consommation avec ceux donnés pour le circuit 74LS283. Conclusions.

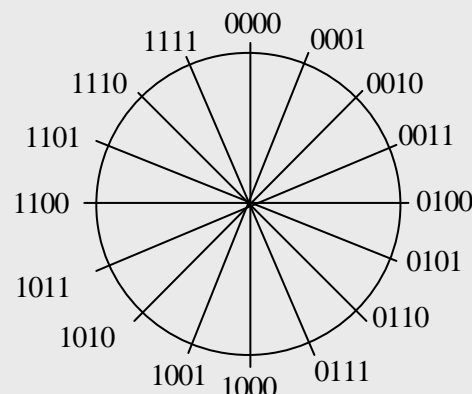


- Figure 2 -

Exercice n° 4

On donne Figure 1 la représentation circulaire du codage en binaire naturel d'un nombre compris entre 0 et 15.

- 1-1- Représenter sur ce cercle les valeurs positives et négatives codées respectivement,
- par valeur absolue et bit de signe,
 - par complément à 1,
 - par complément à 2.
- 1-2- Quels sont les avantages et inconvénients de chaque type de codage.
- 1-3- A partir d'un exemple quelconque montrer que la soustraction de 2 nombres peut être réalisée par une addition modulo 16 lorsqu'on utilise le codage par complément à 2.
- 1-4- Etablir l'équation de la soustraction de 2 nombres A et B.



- Figure 1 -

- 1-5- Etablir le schéma de principe d'un additionneur-soustracteur, commandable par un signal M et construit au moyen d'un additionneur, d'inverseurs et d'un multiplexeur.

On souhaite maintenant réaliser l'addition-soustraction de 2 nombres codés sur k×4 bits en cascade k additionneurs-soustracteurs 4 bits.

- 1-6- Quel est le nombre maximal d'additionneurs-soustracteurs 4 bits pouvant être reliés en cascade sans dégradation des niveaux logiques pour le signal M obtenu en sortie d'une porte TTL du type 74LS08 par exemple ?
- 1-7- Quel est alors le temps de réponse des circuits à un changement d'état du signal M ?