PORTES CMOS ÉLÉMENTAIRES (~1h00)

Les objectifs pédagogiques de cet exercice sont de découvrir la structure en transistors des portes NAND et NOR tout en naviguant entre différentes représentations des fonctions booléennes. Ainsi les portes sont d'abord « synthétisées » par traduction de BDD (cf. CM2), puis transformées pour en réduire le nombre de transistors, en faisant finalement appel sans le dire à une minimisation de fonction booléenne sous forme disjonctive $\sum\prod$ (cf. CM4).

a) Dessiner le BDD ordonné (variable a puis b) et réduit correspondant à la porte NAND(a,b).

b) Remplacer un à un les MUX du BDD ci-dessus par leur implantation en transistors MOS, vue en cours. Cela fournit un montage implantant la porte NAND en 8 transistors. La question g montrera que 4 suffisent. En attendant, commencer à supprimer les transistors inutiles du fait qu'un chemin ne véhiculant que du 0 (respectivement que du 1) peut être controlé par un unique transistor nMOS (respectivement pMOS) à la place d'une porte de transfert complète.

c) Partant du montage précédent, séparer les transistors n des transistors p, en mettant masse en bas, alimentation en haut, et la sortie à mi-niveau entre les deux. Cette transformation fait mieux ressortir comment sont réalisées les valeurs 0 et 1 de la fonction implantée.

d) Dans le montage précédent, considérer chaque chemin reliant la sortie soit à la masse soit à l'alimentation et l'étiqueter par l'ensemble des couples (a,b) pour lesquels ledit chemin est passant. Utiliser la notation ensembliste $\alpha\beta = \{ (a,b) \ \ B^2 / a=\alpha \text{ et } b=\beta \}$, α et β pouvant être égaux à 0, 1, ou « – » pour « indifférent ». Par exemple **–1** = { (0,1) , (1,1) }. Pour information, ces $\alpha\beta$ sont les « sous-cubes » de B^2, notion présentée en CM4, analogue à celle de sous-espace affine de B^n vu comme espace vectoriel.

e) Vérifier que le jeu d'ensembles obtenu ci-dessus constitue une partition de B^2. Que signifie cette propriété quant à la réalisation de la fonction souhaitée, et d'où vient-elle ?

f) A la question d, chaque chemin a été étiqueté par l'ensemble des cas le rendant passant. Mais désormais, c'est la fonction caractéristique de cet ensemble qui va servir d'étiquette. Il s'agit d'une fonction booléenne qui vaut 1 si les variables d'entrée rendent le chemin considéré passant, et 0 sinon. On l'appelle donc « état passant » du chemin considéré. Réétiqueter chaque chemin du dernier montage par son « état passant ». Quel lien doit-il y avoir entre ces états passants et la fonction réalisée ? Vérifier concrètement ce lien.

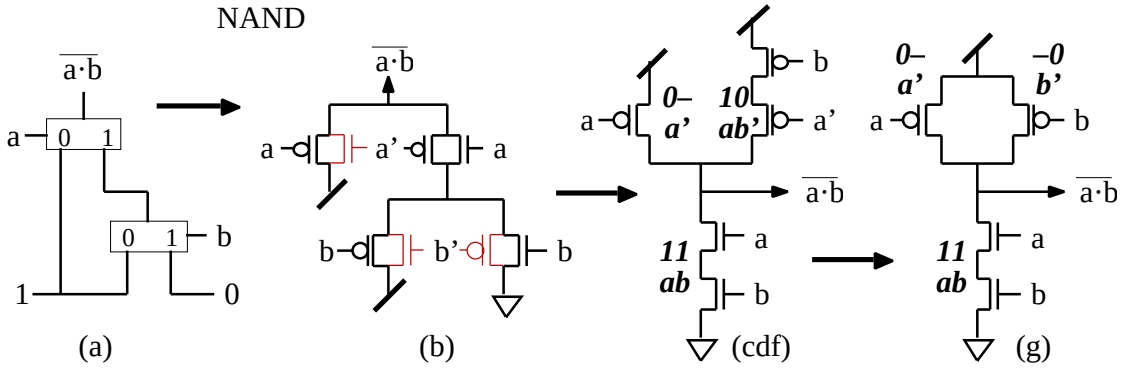
g) Dans le dernier montage obtenu pour la porte NAND, il est possible de supprimer un transistor. Lequel ? On aboutit alors à un montage dit « en logique complémentaire ». Quelles sont les conséquences sur les états passants et leurs supports ?

h) Quel montage pour une porte NAND3 (NAND à 3 entrées) ? Et pour une NANDn ?

i) Reprendre succintement les questions abcdefgh dans le cas d'une porte NOR.
S'il reste moins de 50 minutes avant la fin de la PC, se limiter au montage en 4 transistors de la porte NOR et à l'extension à la porte NORn.

Corrigé

ab) Voir les figures respectivement (a) et (b) ci-dessous. Les transistors apparaissant en trait fin (et en rouge sur le pdf) sont ceux qui peuvent être supprimés.

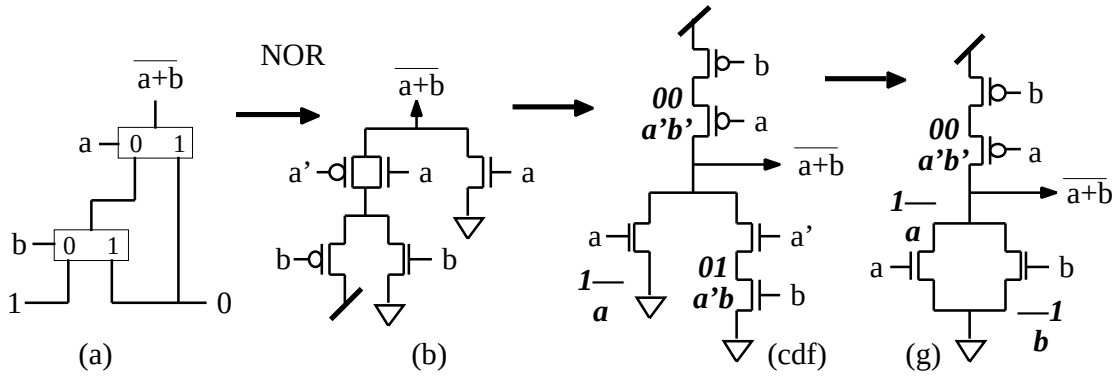


cd) Voir la figure (cdf) ci-dessus.

e) Les ensembles 11, 0– et 10 constituent effectivement une partition de B^2. Cela signifie que quelles que soient les valeurs prises par les entrées, il existe un et un seul chemin vers masse ou alimentation qui soit passant. Cette propriété provient de la structure même de BDD : quand on part du sommet du BDD (qui correspond à la sortie), les MUX définissent un unique chemin vers l'une des feuilles (qui correspondent à la masse ou l'alimentation). L'existence d'un chemin passant pour chaque configuration des variables d'entrée garantit que la sortie n'est jamais en l'air (état de haute impédance). L'unicité assure quant à elle que la sortie n'est jamais connectée à la fois à la masse et à l'alimentation. Mais, comme la question suivante va le montrer, c'est une propriété trop forte au sens où elle est incompatible avec la minimisation du nombre de transistors nécessaires pour réaliser la porte souhaitée.

f) Voir la figure (cdf) ci-dessus. C'est par connexion à l'alimentation que le montage réalise les 1 de la fonction implantée. Celle-ci doit donc être égale au OU des états passants des chemins liant sortie et alimentation. On vérifie en effet que a'+ab' = (a'+a'b')+ab' = a'+(a'b'+ab') = a'+b'=(ab)', en enchaînant absorbtion, associativité, distributivité, puis loi de DeMorgan. D'autre part, c'est par connexion à la masse que le montage réalise les 0 de la fonction. Celle-ci doit donc aussi être égale au complémentaire du OU des états passants des chemins liant sortie et masse, ce que l'on vérifie trivialement.

g) En prenant la question précédente à l'envers, on constate que pour réaliser les 1 de la fonction (ab)' = a'+b', il suffit de deux chemins liant sortie et alimentation, l'un d'état passant a', l'autre d'état passant b', ce qui correspond à la figure (g) ci-dessus. Les nouveaux états passants sont donc ab, a' et b', dont les supports sont 11, 0– et –0. Ces ensembles ne constituent plus une partition de B^2, mais uniquement un recouvrement (intersection 2 à 2 pas toujours vide). Ainsi, il n'y a plus forcément un chemin unique reliant la sortie à la masse ou à l'alimentation. Sur le montage de la figure (g), il y a 2 chemins passants entre sortie et alimentation lorsque a=b=0. Cela ne fait aucune différence fonctionnelle : on dit que c'est un montage *sémantiquement* équivalent. En revanche, d'un point de vue *structurel*, on a économisé un transistor. On note aussi que, du côté des transistors pMOS, le montage reflète désormais la symétrie intrinsèque de l'opérateur NAND. En imposant le choix d'un ordre sur les variables, l'approche BDD avait rompu cette symétrie.

h) Il suffit de mettre n transistors en série ou en parallèle là où il n'y en avait que 2.

i) Voir la figure ci-dessous.